

(11)特許出願公開番号
特開2001-196570
(P2001-196570A)

(43)公開日 平成13年7月19日(2001.7.19)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト ⁷ (参考)
H 0 1 L 27/146		H 0 4 N 5/335	E 4 M 1 1 8
H 0 4 N 5/335		H 0 1 L 27/14	A

審査請求 有 請求項の数10 OL (全 11 頁)

(21)出願番号 特願2000-1972(P2000-1972)

(22)出願日 平成12年1月7日(2000.1.7)

(71)出願人 593102345

イノテック株式会社

神奈川県横浜市港北区新横浜 3-17-6

(72)発明者 三井田 ▲高▼

神奈川県横浜市港北区新横浜3丁目17番6
号 イノビジョン株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

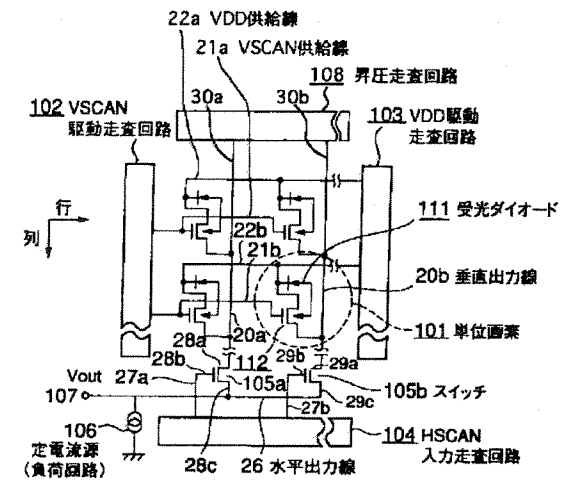
Fターム(参考) 4M118 AA05 AA10 AB01 AB10 BA14
CA03 DA23 DA32 DD09 FA06
FA33 GB11

(54) 【発明の名称】 固体撮像装置及びその駆動方法

(57) 【要約】

【課題】 CMOS回路の低電圧動作と初期化期間での高電圧印加を両立させる。

【解決手段】 受光ダイオード111と光信号検出用MOSトランジスタ112を含む単位画素101を有し、MOSトランジスタ112が受光ダイオード111で光照射により発生したキャリアを蓄積する高濃度埋込層を有する固体撮像素子と、ゲート電極に走査信号を出力する垂直走査信号駆動走査回路102と、ソース領域に電源電圧よりも高い昇圧電圧を出力する昇圧走査回路108とを有し、昇圧走査回路108からソース領域に昇圧電圧を印加し、昇圧電圧によって持ち上げられたゲート電圧により高濃度埋込層に蓄積されたキャリアを高濃度埋込層から掃き出すことを特徴とする。



27a: HSCAN供給線 28a,29a: 光検出信号入力端子
28b,29b: HSCAN入力端子 28c,29c: 光信号出力端子
107: 映像信号出力端子 112: 光信号検出用MOS
トランジスタ

(2)

1

【特許請求の範囲】

【請求項1】 受光ダイオード及び該受光ダイオードに隣接する光信号検出用の絶縁ゲート型電界効果トランジスタを備えた単位画素を有し、前記絶縁ゲート型電界効果トランジスタの部分はソース領域の近傍であってゲート電極下のウェル領域内に設けられた、前記受光ダイオードで発生したキャリアを蓄積する高濃度埋込層を有する固体撮像素子と、

前記ゲート電極に走査信号を出力する垂直走査信号駆動走査回路と、

前記ソース領域に前記垂直走査信号駆動走査回路の電源電圧よりも高い昇圧電圧を出力する昇圧走査回路とを有し、

前記昇圧走査回路から前記ソース領域に前記昇圧電圧を印加することにより前記ソース領域と前記ゲート電極との間の容量を介して昇圧電圧を前記ゲート電極に印加し、該昇圧電圧によって持ち上げられたゲート電圧により前記高濃度埋込層に蓄積されたキャリアを前記高濃度埋込層から掃き出すことを特徴とする固体撮像装置。

【請求項2】 受光ダイオード及び該受光ダイオードに隣接する光信号検出用の絶縁ゲート型電界効果トランジスタを備えた単位画素を有し、前記絶縁ゲート型電界効果トランジスタの部分は、第1の導電型のウェル領域の表層に形成された第2の導電型のソース領域と、前記ウェル領域の表層に形成された第2の導電型のドレイン領域と、前記ソース領域と前記ドレイン領域の間のチャンネル領域と、前記チャンネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記チャンネル領域下のソース領域の近くの前記ウェル領域内部に形成された、前記受光ダイオードで発生したキャリアを蓄積する第1の導電型の高濃度埋込層とを有する固体撮像素子と、

前記ゲート電極に垂直走査信号供給線を介して接続された、垂直走査信号を出力する垂直走査信号駆動走査回路と、

前記ソース領域に前記垂直走査信号駆動走査回路の電源電圧よりも高い昇圧電圧を出力する昇圧走査回路とを有し、

前記昇圧走査回路から前記ソース領域に前記昇圧電圧を印加することにより前記ソース領域と前記ゲート電極との間の容量を介して昇圧電圧を前記ゲート電極に印加し、該昇圧電圧によって持ち上げられたゲート電圧により前記高濃度埋込層に蓄積されたキャリアを前記高濃度埋込層から掃き出すことを特徴とする固体撮像装置。

【請求項3】 請求項2記載の固体撮像装置は、さらに、前記絶縁ゲート型電界効果トランジスタのドレイン領域にドレイン電圧供給線を介して接続されたドレイン電圧駆動走査回路と、

前記絶縁ゲート型電界効果トランジスタのソース領域に水平走査信号供給線及びスイッチを介して接続された水平走査信号入力走査回路と、

2

前記スイッチの出力端と接続された映像信号出力端子とを有することを特徴とする請求項2記載の固体撮像装置。

【請求項4】 前記高濃度埋込層が形成されたソース領域の近辺は、前記ドレイン領域から前記ソース領域に至るチャンネル長方向の一部領域であって、前記ソース領域側であることを特徴とする請求項2又は3記載の固体撮像装置。

【請求項5】 前記高濃度埋込層はチャンネル幅方向全域にわたって形成されていることを特徴とする請求項2乃至4の何れか一に記載の固体撮像装置。

【請求項6】 前記絶縁ゲート型電界効果トランジスタのゲート電極はリング状を有し、前記ソース領域は前記ゲート電極によって囲まれた前記ウェル領域の表層に形成され、前記ドレイン領域は前記ゲート電極を囲むように前記ウェル領域の表層に形成されていることを特徴とする請求項2乃至5の何れか一に記載の固体撮像装置。

【請求項7】 前記絶縁ゲート型電界効果トランジスタのゲート電極及びその周辺は遮光されていることを特徴とする請求項2乃至6の何れか一に記載の固体撮像装置。

【請求項8】 前記絶縁ゲート型電界効果トランジスタのソース領域に負荷回路が接続されてソースフォロワ回路を構成していることを特徴とする請求項2乃至7の何れか一に記載の固体撮像装置。

【請求項9】 前記ソースフォロワ回路のソース出力は前記映像信号出力端子に接続されていることを特徴とする請求項8記載の固体撮像装置。

【請求項10】 請求項2乃至8の何れか一に記載の固体撮像装置を用いて、前記高濃度埋込層に残留するキャリアを排除する初期化期間と、光照射により発生した電荷を前記高濃度埋込層に蓄積させる蓄積期間と、前記高濃度埋込層に蓄積された光発生電荷に基づく光信号を読み出す読出期間とをこの順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、

前記初期化期間のうち前記読出期間の直後において、前記ドレイン電圧供給線、前記垂直走査信号供給線及び前記水平走査信号供給線をフローティングとした状態で、前記昇圧走査回路から前記昇圧電圧を出力し、前記絶縁ゲート電界効果トランジスタのソース領域に前記昇圧電圧を印加することにより前記ソース領域と前記ゲート電極との間の容量を介して前記昇圧電圧を前記ゲート電極に印加し、該昇圧電圧によって持ち上げられたゲート電圧により前記高濃度埋込層に蓄積されたキャリアを前記高濃度埋込層から掃き出すことを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固体撮像装置及びその駆動方法に関し、より詳しくは、ビデオカメラ、電

(3)

3

子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる閾値電圧変調方式のMOS型イメージセンサを用いた固体撮像装置及びその駆動方法に関する。

【0002】

【従来の技術】CCD型イメージセンサやMOS型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、ほとんどの画像入力デバイス装置に適用されている。特に、近年、CCD型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じCMOS技術によって作成できるという利点を生かして、MOS型イメージセンサが見直されている。

【0003】このような世の中の動向に鑑み、本願出願人はMOS型イメージセンサの改良を行い、チャネル領域下にキャリアポケット（高濃度埋込層）を有するセンサ素子に関する特許出願（特願平10-186453号）を行って特許（登録番号2935492号）を得ている。この特許（登録番号2935492号）に係る発明では、半導体層の表面欠陥への光発生電荷の注入を抑制し、雑音の低減を図るため、受光ダイオード111は光発生電荷（この場合、正孔）に対する埋込込み構造を有している。即ち、p型のウェル領域の表層にn型の不純物領域が形成されており、p型のウェル領域が光信号検出用MOSトランジスタのp型のベース領域と一体的に形成され、かつ、n型の不純物領域がn型のドレイン領域と一体的に形成されている。従って、受光ダイオード111部分のp型のウェル領域に発生した光発生電荷が光信号の検出に寄与するような構造となっている。

【0004】このMOS型イメージセンサは特許（登録番号2935492号）の図8に示す回路構成を有し、その動作においては、初期化期間—蓄積期間—読出期間を経る。初期化期間に各電極に高い逆電圧を印加して空乏化させ、ホールポケット25に残る光発生正孔を放出させる。蓄積期間に光照射により光発生正孔を生じさせてホールポケット25に蓄積させ、読出期間に光発生正孔の蓄積量に比例した光信号を検出する。

【0005】

【発明が解決しようとする課題】しかしながら、CMOS回路は低電圧化の方向に向かっており、初期化期間に高電圧を印加して初期化を加速したいとする要求と相反する。本発明は、上記従来技術の問題点に鑑みて創作されたものであり、CMOS回路の低電圧動作と初期化期間での高電圧印加を両立させることができる固体撮像装置及びその駆動方法を提供するものである。

【0006】

【課題を解決するための手段】上記課題を解決するため、この発明は固体撮像装置に係り、その基本構成として、図4に示すように、受光ダイオード111と受光ダイオード111に隣接する光信号検出用の絶縁ゲート型電界効果トランジスタ（MOSトランジスタ）112と

4

を含む各単位画素101を有し、MOSトランジスタ112のゲート電極は垂直走査信号（VSCAN）駆動走査回路102に接続し、ソース領域は昇圧走査回路108と接続していることを特徴としている。

【0007】また、各単位画素101においては、受光ダイオード111とMOSトランジスタ112とは相互に接続したウェル領域15a、15bに形成され、MOSトランジスタ112のソース領域の周辺部のウェル領域15b内に光発生電荷を蓄積する高濃度埋込層（キャリアポケット）25を有していることを特徴としている。

【0008】上記の構成にさらに、ドレイン領域はドレイン電圧（VDD）駆動走査回路103に接続し、ソース領域はスイッチ105a、105bを介して水平走査信号（HSCAN）入力走査回路104に接続し、スイッチの光信号出力端子28cは定電流源106と映像信号出力端子107に接続している。本発明の駆動方法においては、昇圧回路122を光信号検出用のMOSトランジスタ112のソース領域に接続して、蓄積期間から初期化期間への切り替え時にチャネルを閉じ、かつ昇圧回路122からソース領域に電圧を印加することで、ゲート電極19には、ソース領域16とゲート電極19の間の容量を通して、蓄積期間に印加していたゲート電圧にさらに昇圧回路122からVSCAN駆動走査回路102の電源電圧よりも高い昇圧電圧が加わる。これにより、ゲート電極19に高電圧が加わるため、キャリアポケット25からのキャリアの掃き出し動作を加速することができる。

【0009】なお、ウェル領域等が上記と逆の導電型の場合、即ち高濃度埋込層がn型の場合、高濃度埋込層はエレクトロンポケット（キャリアポケット）となり、光発生電子を蓄積することになる。

【0010】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しながら説明する。図1は、本発明の実施の形態に係るMOS型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。図1に示すように、単位画素101内に、受光ダイオード111と光信号検出用MOSトランジスタ112とが隣接して設けられている。MOSトランジスタ112として、低濃度ドレイン構造（LDD構造）を有するnチャネルMOS（nMOS）を用いている。

【0011】これら受光ダイオード111とMOSトランジスタ112は、それぞれ異なるウェル領域、即ち第1のウェル領域15aと第2のウェル領域15bに形成され、それらのウェル領域15a、15bは互いに接続されている。受光ダイオード111の部分の第1のウェル領域15aは光照射による電荷の発生領域の一部を構成している。MOSトランジスタ112の部分の第2のウェル領域15bはこの領域15bに付与するポテンシ

(4)

5

ャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

【0012】MOSトランジスタ112の部分は低濃度ドレイン(LDD)構造を有している。ドレイン領域17a、17bはリング状のゲート電極19の外周部を取り囲むように形成され、ソース領域16はリング状のゲート電極19の内周に囲まれるように形成されている。低濃度のドレイン領域17aが延在して低濃度のドレイン領域17aとはほぼ同じ不純物濃度を有する受光ダイオード111の不純物領域17が形成されている。即ち、不純物領域17と低濃度のドレイン領域17aとは互いに接続した第1及び第2のウェル領域15a、15bの表層に大部分の領域がかかるように一体的に形成されている。また、不純物領域17と低濃度のドレイン領域17aの外側周辺部には受光部を避けて低濃度ドレイン領域17aに接続するようにコンタクト層としての高濃度のドレイン領域17bが形成されている。

【0013】さらに、このMOS型イメージセンサの特徴であるキャリアポケット(高濃度埋込層)25は、ゲート電極19下の第2のウェル領域15b内であって、ソース領域16の周辺部に、ソース領域16を取り囲むように形成されている。ドレイン領域17a、17bは低抵抗のコンタクト層17bを通してドレイン電圧(VDD)供給線(又はドレイン電極)22と接続され、ゲート電極19は垂直走査信号(VSCAN)供給線21に接続され、ソース領域16は垂直出力線(又はソース電極)20に接続されている。

【0014】また、受光ダイオード111の受光窓24以外の領域は金属層(遮光膜)23により遮光されている。上記のMOS型イメージセンサにおける光信号検出のための素子動作においては、掃出期間(初期化)―蓄積期間―読出期間―掃出期間(初期化)―・・・というように、掃出期間(初期化)―蓄積期間―読出期間という一連の過程が繰り返される。

【0015】掃出期間(初期化)では、光発生電荷(光発生キャリア)を蓄積する前に、読み出しが終わって残留する光発生電荷や、アクセプタやドナー等を中性化し、或いは表面準位に捕獲されている正孔や電子等、光信号の読み出し前の残留電荷を半導体内から排出して、キャリアポケット25を空にする。ソース領域16やドレイン領域17a、17bやゲート電極19に約+5V以上、通常7〜8V程度の正の高電圧を印加する。

【0016】蓄積期間では、光照射によりキャリアを発生させ、キャリアのうち正孔(ホール)を第1及び第2のウェル領域15a、15b内を移動させてキャリアポケット25に蓄積させる。ドレイン領域17a、17bに凡そ+2〜3Vの正の電圧を印加するとともに、ゲート電極19にMOSトランジスタ112がカットオフ状態を維持するような低い正或いは負の電圧を印加する。

【0017】読出期間では、キャリアポケット25に蓄

6

積された光発生電荷によるMOSトランジスタ112の閾値電圧の変化をソース電位の変化として読み取る。MOSトランジスタ112が飽和状態で動作するように、ドレイン領域17a、17bに凡そ+2〜3Vの正の電圧を印加するとともに、ゲート電極19に凡そ+2〜3Vの正の電圧を印加する。

【0018】次に、本発明の実施の形態に係るMOS型イメージセンサのデバイス構造を断面図を用いて説明する。図2(a)は、図1のA-A線に沿う断面図に相当する、本発明の実施の形態に係るMOS型イメージセンサのデバイス構造について示す断面図である。図2

(b)は、半導体基板表面に沿うポテンシャルの様子を示す図である。

【0019】図2(a)に示すように、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上のp型(第1の導電型)シリコンからなる基板(第1の半導体層)11上に不純物濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 程度のn型(第2の導電型)シリコンをエピタキシャル成長し、エピタキシャル層(第2の半導体層)12を形成する。このエピタキシャル層12に受光ダイオード111と光信号検出用MOSトランジスタ112とを含む単位画素101が複数形成されている。そして、各単位画素101を分離するように、隣接する単位画素101間のエピタキシャル層12表面に、選択酸化(LOCOS)によりフィールド絶縁膜(素子分離絶縁膜)14が形成されている。さらに、フィールド絶縁膜14の下部であって基板11上部に、エピタキシャル層31とフィールド絶縁膜14との界面全体を含み、かつn型のエピタキシャル層12を分離するようにp型の素子分離領域13が形成されている。

【0020】次に、受光ダイオード111の詳細について図2(a)により説明する。受光ダイオード111は、エピタキシャル層12と、エピタキシャル層12の表層に形成されたp型の第1のウェル領域15aと、第1のウェル領域15aの表層からエピタキシャル層12の表層に延在するn型の不純物領域17とで構成されている。p型の基板11は受光ダイオード111部の第1の導電型の第1の半導体層を構成する。n型のエピタキシャル層12は同じく第2の導電型の第2の半導体層を構成する。

【0021】不純物領域17は、低濃度ドレイン(LDD)構造を有する光信号検出用MOSトランジスタ112の低濃度のドレイン領域17aから延在するように形成されており、低濃度のドレイン領域17aとはほぼ同じ不純物濃度を有している。そして、不純物領域17の不純物濃度が低いため、より浅い不純物領域17が形成されている。このため、波長が短く、表面から離れるにつれて急激に減衰してしまう青色光を十分な強度で受光することができる。

【0022】また、上記説明した蓄積期間において、不純物領域17はドレイン電圧供給線22に接続されて正

(5)

7

の電位にバイアスされる。このとき、不純物領域17と第1のウエル領域15aとの境界面から空乏層が第1のウエル領域15a全体に広がり、n型のエピタキシャル層12に達する。一方、基板11とエピタキシャル層12との境界面から空乏層がエピタキシャル層12に広がり、第1のウエル領域15aに達する。

【0023】第1のウエル領域15a及びエピタキシャル層12では、ポテンシャルが基板11側から表面側に向かって漸減するようなポテンシャル分布となるため、第1のウエル領域15a内とエピタキシャル層12内で光により発生した正孔（ホール）は基板11側に流出しないで第1のウエル領域15aやエピタキシャル層12内にとどまるようになる。第1のウエル領域15aやエピタキシャル層12はMOSトランジスタ112のゲート領域15bと繋がっているため、光により発生したこれらのホールをMOSトランジスタ112の閾値電圧変調用の電荷として有効に用いることができる。言い換えれば、第1のウエル領域15a及びエピタキシャル層12全体が光によるキャリア発生領域となる。

【0024】また、上記の受光ダイオード111においては不純物領域17の下に光によるキャリア発生領域が配置されているという点で、受光ダイオード111は光により発生した正孔（ホール）に対する埋め込み構造を有している。従って、捕獲準位の多い半導体層表面に影響されず、雑音の低減を図ることができる。次に、光信号検出用MOSトランジスタ112の詳細について図2(a)により説明する。

【0025】MOSトランジスタ112部分は、下から順に、p型の基板11と、この基板11上に形成されたn型のエピタキシャル層12と、このエピタキシャル層12内に形成されたp型の第2のウエル領域15bとを有している。p型の基板11はMOSトランジスタ112部の反対導電型の第1の半導体層を構成し、エピタキシャル層12は同じくMOSトランジスタ112部の一導電型の第2の半導体層を構成している。

【0026】このMOSトランジスタ112はリング状のゲート電極19の外周をn型の低濃度のドレイン領域17aが囲むような構造を有する。n型の低濃度のドレイン領域17aはn型の不純物領域17と一体的に形成されている。低濃度のドレイン領域17aから延在する不純物領域17の外側周辺部には、この不純物領域17と接続し、素子分離領域13及び素子分離絶縁膜14にまで延びる高濃度のドレイン領域17bが形成されている。高濃度のドレイン領域17bはドレイン電極22のコンタクト層となる。

【0027】また、リング状のゲート電極19によって囲まれるようにn型のソース領域16が形成されている。ソース領域16は、中央部が高濃度となっており、周辺部が低濃度となっている。ソース電極20はソース領域16に接続している。ゲート電極19は、ドレイン

8

領域17aとソース領域16の間の第2のウエル領域15b上にゲート絶縁膜18を介して形成されている。ゲート電極19下の第2のウエル領域15bの表層がチャネル領域となる。さらに、通常の動作電圧において、チャネル領域を反転状態或いはデプレッション状態に保持するため、チャネル領域に適当な濃度のn型不純物を導入してチャネルドープ層15cを形成している。

【0028】そのチャネル領域の下第2のウエル領域15b内であってチャネル長方向の一部領域に、即ちソース領域16の周辺部であって、ソース領域16を囲むように、p+型のキャリアポケット（高濃度埋込層）25が形成されている。このp+型のキャリアポケット25は、例えばイオン注入法により形成することができる。キャリアポケット25は表面に生じるチャネル領域よりも下側の第2のウエル領域15b内に形成される。キャリアポケット25はチャネル領域にかからないように形成することが望ましい。

【0029】上記したp+型のキャリアポケット25では光発生電荷のうち光発生ホールに対するポテンシャルが低くなるため、ドレイン領域17a、17bにゲート電圧よりも高い電圧を印加したときに光発生ホールをこのキャリアポケット25に集めることができる。図2(b)に光発生ホールがキャリアポケット25に蓄積し、チャネル領域に電子が誘起されて反転領域が生じている状態のポテンシャル図を示す。この蓄積電荷により、MOSトランジスタ112の閾値電圧が変化する。従って、光信号の検出は、この閾値電圧の変化を検出することにより行うことができる。

【0030】ところで、上記したキャリアの掃出期間においては、ゲート電極19に高い電圧を印加し、それによって生じる電界によって第2のウエル領域15bに残るキャリアを基板11側に掃き出している。この場合、印加した電圧によって、チャネル領域のチャネルドープ層15cと第2のウエル領域15bとの境界面から空乏層が第2のウエル領域15bに広がり、また、p型の基板11とエピタキシャル層12との境界面から空乏層が第2のウエル領域15bの下のエピタキシャル層12に広がる。

【0031】従って、ゲート電極19に印加した電圧による電界の及ぶ範囲は、主として第2のウエル領域15b及び第2のウエル領域15bの下のエピタキシャル層12にわたる。上記実施の形態に係るMOS型イメージセンサにおいては、素子分離絶縁膜14の下p型の基板11上に素子分離絶縁膜14の下面を含み、かつエピタキシャル層12を分離するようにp型の素子分離領域13が形成されている。即ち、素子分離絶縁膜14と素子分離領域13の界面で生じた欠陥が素子分離領域13によって囲まれている。

【0032】このため、初期化期間及び蓄積期間においてn型のドレイン領域17a、17bに正の電圧を印加

(6)

9

したときに、p型のウェル領域15a、15b或いはp型の基板11からエピタキシャル層12内に広がる空乏層は素子分離領域13の外側周辺部に到達するのみで、素子分離領域13の内部には広がらないため、前記界面に生じた欠陥は前記空乏層には覆われない。従って、欠陥に捕獲された電荷がその空乏層中に放出されるのを防止することができ、これにより、欠陥に起因する電荷のホールポケット25への蓄積による固定パターン雑音を抑制することができる。

【0033】次に、図4を参照して上記の構造の単位画素を用いたMOS型イメージセンサの全体の構成について説明する。図4は、本発明の実施の形態におけるMOS型イメージセンサの回路構成図を示す。図4に示すように、このMOS型イメージセンサは、2次元アレーセンサの構成を採っており、上記した構造の単位画素101が列方向及び行方向にマトリクス状に配列されている。

【0034】また、垂直走査信号(VSCAN)の駆動走査回路102及びドレイン電圧(VDD)の駆動走査回路103が画素領域を挟んでその左右に配置されている。垂直走査信号供給線21a、21bは垂直走査信号(VSCAN)の駆動走査回路102から行毎に一つずつでている。各垂直走査信号供給線21a、21bは行方向に並ぶ全ての単位画素101内のMOSトランジスタ112のゲートに接続されている。

【0035】また、ドレイン電圧供給線(VDD供給線)22a、22bはドレイン電圧(VDD)の駆動走査回路103から行毎に一つずつでている。各ドレイン電圧供給線(VDD供給線)22a、22bは、行方向に並ぶ全ての単位画素101内の光信号検出用MOSトランジスタ112のドレインに接続されている。また、列毎に異なる垂直出力線20a、20bが設けられて、各垂直出力線20a、20bは列方向に並ぶ全ての単位画素101内のMOSトランジスタ112のソースにそれぞれ接続されている。

【0036】さらに、列毎に異なるスイッチとしてのMOSトランジスタ105a、105bが設けられており、各垂直出力線20a、20bは各MOSトランジスタ105a、105bのドレイン(光検出信号入力端子)28a、29aに一つずつ接続されている。各スイッチ105a、105bのゲート(水平走査信号入力端子)28b、29bは水平走査信号(HSCAN)の駆動走査回路104に接続されている。

【0037】また、各スイッチ105a、105bのソース(光検出信号出力端子)28c、29cは共通の定電流源(負荷回路)106を通して映像信号出力端子107に接続されている。即ち、各単位画素101内のMOSトランジスタ112のソースは定電流源106に接続され、画素単位のソースフォロワ回路を形成している。従って、各MOSトランジスタ112のゲートソ

10

ース間の電位差、及びバルクソース間の電位差は接続された定電流源106により決定される。

【0038】垂直走査信号(VSCAN)及び水平走査信号(HSCAN)により、逐次、各単位画素101のMOSトランジスタ112を駆動して光の入射量に比例した映像信号(Vout)が読み出される。さらに、昇圧走査回路108を有し、昇圧走査回路108からの各昇圧電圧出力線30a、30bが各垂直出力線20a、20bに接続されている。即ち、列毎に各単位画素101のMOSトランジスタ112のソース領域に昇圧された電圧が印加される。昇圧された電圧はさらにゲートソース間の容量を通して結果的にゲートにかかる。これにより、ウェル領域にかかる電界強度を増して、キャリアの掃き出しを促進することができる。

【0039】図5は、図4の昇圧走査回路108部分の詳細を示す回路図である。図5に示すように、昇圧走査回路108は、クロック発生回路121と、昇圧回路122と、プリチャージ回路123とで構成される。クロック発生回路121においては、インバータG1乃至G4が直列接続されている。また、インバータG2とG3の間にクロックパルス遅延のための容量C1が並列接続されている。クロック入力端子(CL/)から入力したクロックは増幅され、クロック発生回路121の出力端から反転せずにそのままの極性で昇圧回路122に出力される。

【0040】昇圧回路122においては、入力端は2方向に分岐する。一方はトランジスタT5のゲートに接続し、他方はさらに2方向に分岐し、トランジスタT4のゲートに接続するとともに、インバータG9の入力端に接続している。インバータG9の出力端には容量C2の一端が接続し、容量C2の他端はトランジスタT4のソース及びトランジスタT5のドレインと接続している。インバータG9の出力端の電位をCLDで示す。また、T4のドレインは3.3Vの電源に接続し、T5の出力端は、垂直出力線20aと繋がった昇圧電圧出力線30aに接続している。昇圧電圧出力線30aの電位をVPSnで示す。

【0041】クロックパルスのH(High)が入力されると、T4及びT5が開き、T4を通してC2に3.3Vが充電される。また、T5を通して昇圧電圧出力線30aに3.3Vが出力される。また、L(Low)が入力されると、インバータG9を通してC2に3.3Vが充電される。このとき、直前にC2に3.3Vが充電されている場合、C2の端子間電圧は計6.6Vとなる。

【0042】プリチャージ回路123においては、入力端(PR/)にインバータG10が接続し、インバータG10の出力端にトランジスタT6が接続している。インバータG10の出力端の電位をPRで示す。プリチャージ回路123の出力端であるT6のソースは昇圧電圧出力線30aに接続している。プリチャージ回路123

(7)

11

の入力端 (PR/) にHが入力したとき、T6は閉じ、Lが入力したとき、T6は開き、接地電位が昇圧電圧出力線30aに出力される。

【0043】次に、VSCAN駆動走査回路102とVDD駆動走査回路103の詳細な回路の一例について説明する。VSCAN駆動走査回路102とVDD駆動走査回路103は入力端を共有し、この入力端から同じ走査信号 (VSCNn) が入力される。まず、VSCAN駆動走査回路102の詳細について以下に説明する。入力端は2方向に分岐し、一方はインバータG8の入力端と接続し、他方は分岐して2入力のインバータG5及びG6の入力端にそれぞれ接続している。G6の出力端は分岐し、一方がG5の他の入力端と接続し、他方がVDD駆動走査回路103のスイッチであるトランジスタT3のゲートと接続している。T3のゲートの電位をS_{pbn}で示す。

【0044】また、G6の他の入力端にはクロック発生回路121の反転出力端が接続している。また、G5の出力端はインバータG7の入力端と接続し、インバータG7の出力端はトランジスタT1のゲートと接続している。インバータG7の出力端の電位をV_{s pn}で示す。インバータG8の出力端はトランジスタT2のゲートに接続している。

【0045】トランジスタT1及びT2のドレイン同士は接続し、T1のソースは3.3Vの電源に接続し、T2のソースは接地されている。T1及びT2のドレインがVSCAN駆動走査回路102の出力端となり、VSCAN供給線21aに接続している。VSCAN供給線21aの電位をVPG_n (VSCAN) で示す。蓄積期間においてT1及びT2のうちT1がオフの時にT2がオンとなって接地電位が現れ、読出期間においてT1がオンの時にT2がオフとなって出力端に凡そ2Vが現れる。また、初期化期間においてT1及びT2はともにオフとなってVSCAN供給線21aはフローティングとなり、VSCAN供給線21aにはMOSトランジスタ112のゲート電位が現れる。

【0046】VDD駆動走査回路103のスイッチとしてトランジスタT3が設けられている。T3のゲートはG6の出力端と接続し、ドレインは3.3Vの電源に接続し、T3の出力端であるソースはVDD供給線22aと接続している。そのVDD供給線22aは単位画素101中のMOSトランジスタ112のドレインと繋がっている。VDD供給線22aの電位をVp_{d n} (VDD) で示す。

【0047】図6は、本発明に係るMOS型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。p型の第1及び第2のウェル領域15a、15bを用い、かつ光信号検出用トランジスタ112がnMOSの場合に適用する。次に、図4乃至図6にしたがって、一連の連続した固体撮像素子の光検出動作を簡

12

単に説明する。光検出動作は、前記したように、掃出期間 (初期化) - 蓄積期間 - 読出期間からなる一連の過程を繰り返す。ここでは、都合上、蓄積期間から説明を始める。

【0048】まず、蓄積期間において、昇圧走査回路108の光信号検出用MOSトランジスタ112のゲート電極19に低いゲート電圧を印加し、ドレイン領域17a、17bにトランジスタの動作に必要な約2~3Vの電圧 (VDD) を印加する。このとき、第1のウェル領域15a、第2のウェル領域15b及びエピタキシャル層12が空乏化する。そして、ドレイン領域17a、17bからソース領域16に向かう電界が生じる。

【0049】そして、読出期間直前の蓄積期間において、プリチャージ回路123の入力端 (PR/) にクロックパルスのLを入力し、出力端を接地電位 (MOSトランジスタ112のソース電位となる) とする。このとき、VSCAN駆動走査回路102の入力端にクロックパルス (VSCNn) のLが入力されており、VSCAN駆動走査回路102の出力は接地電位 (MOSトランジスタ112のゲート電位となる) となっている。VD駆動走査回路103の出力 (Vp_{d n}) は凡そ2Vとなっている。

【0050】続いて、受光ダイオード111に光を照射する。このとき、受光ダイオード111の部分のキャリア発生領域は、表面に近く形成されているので、青色光のような波長が短く、表面近くで減衰しやすい光に対しても感度が向上し、またその全厚は厚くなっているので、赤色光のような受光部の奥深くまで到達する波長の長い光に対しても感度が向上している。従って、効率よく、電子-正孔対 (光発生電荷) を生じさせることができる。

【0051】上記電界によりこの光発生電荷のうち光発生ホールが光信号検出用MOSトランジスタ112のゲート領域15bに注入され、かつキャリアポケット25に蓄積される。これにより、チャネル領域からその下のゲート領域15bに広がる空乏層幅が制限されるとともに、そのソース領域16付近のポテンシャルが変調されて、MOSトランジスタ112の閾値電圧が変化する。

【0052】次に、読出期間において、VSCAN駆動走査回路102の入力端にクロックパルス (VSCNn) のHを入力する。これにより、VSCAN駆動走査回路102の出力 (VPG_n) を凡そ2V (MOSトランジスタ112のゲート電位となる) とする。同時に、プリチャージ回路123の入力端にクロックパルス (PR/) のHを入力し、出力 (VPS_n) を3.3V (MOSトランジスタ112のソース電位となる) とする。一方、VDD駆動走査線22aは凡そ2Vに保たれている。

【0053】即ち、ゲート電極19にMOSトランジスタ112が飽和状態で動作しうる約2~3Vのゲート電

(8)

13

圧を印加し、ドレイン領域17a、17bにMOSトランジスタ112が動作しうる約2〜3Vの電圧VDDを印加する。これにより、キャリアポケット25上方のチャネル領域の一部に低電界の反転領域が形成され、残りの部分に高電界領域が形成される。このとき、MOSトランジスタ112のドレイン電圧-電流特性は、図3に示すように、飽和特性を示す。

【0054】さらに、MOSトランジスタ112のソース領域16a、16bに定電流源106を接続して一定の電流を流す。これにより、MOSトランジスタ112はソースフォロワ回路を形成し、従って、光発生ホールによるMOSトランジスタ112の閾値電圧の変動に追

随してソース電位が変化し、出力電圧の変化をもたらす。

【0055】このようにして、光照射量に比例した映像信号(Vout)を取り出すことができる。次に、初期化動作に移る。初期化動作においてはキャリアポケット25内、第1及び第2のウェル領域15a、15b内に残る電荷を排出する。即ち、VDD供給線22a、22bを通して光信号検出用MOSトランジスタ112のドレインに、またVSCAN供給線21a、21bを通して同じくゲートにそれぞれ凡そ7〜8Vの高い正の電圧を印加する。

【0056】読出期間の直後の初期化期間(T期間)を図7のタイミングチャートを参照して説明する。図7に示すように、昇圧走査回路108のプリチャージ回路123の入力端にTWよりも短いパルス幅TW1で、かつ電位レベルがLのクロックパルス(PR/)を入力する。なお、G10の反転出力(PR)はTW1からTW2遅延して立ち下がる。そして、クロックパルス(PR/)の立ち上がりに対応させてクロック発生回路121の入力端に入力するクロックパルス(CL/)の電圧をHからLに切り換える。これにより、T3は閉じてVD供給線22aはフローティングとなる。また、T2はすでに閉じており、T1が閉じてVSCAN供給線21aもフローティングとなる。

【0057】一方、TW0からTW1の間でクロック発生回路121のクロックパルス(CL/)によりT4が開いており、C2には3.3Vが充電されている。プリチャージ回路123のG10の反転出力(PR)の立ち下がりに対応してT6が閉じ、HSCAN供給線20aはフローティングとなり、かつCL/の立ち下がりによりC2にさらに3.3Vが充電されてHSCAN供給線20aには6.6Vが現れる。しかも、VSCAN供給線21aはフローティングとなっているため、ソースが6.6Vとなることにより、ソース-ゲート間の容量を介してゲート電極19の電位はすでに充電されている2Vに加えて凡そ8.6Vとなる。

【0058】このとき、ゲート電極19に印加した電圧は第2のウェル領域15b及び第2のウェル領域15b

14

の下のエピタキシャル層12にかかる。このとき発生する高電界により第2のウェル領域15bから確実にキャリアを掃き出すことができる。このように、昇圧回路を備えることにより低い電源電圧でより確実にキャリアを掃き出すことができる。

【0059】また、上記初期化期間及び蓄積期間において、n型のドレイン領域17a、17bに正の電圧を印加したときに、素子分離絶縁膜14と半導体層との界面が素子分離領域13によって覆われているため、その界面がウェル領域から広がる空乏層に曝されず、このため、その界面の欠陥に捕獲された電荷が空乏層中に放出されるのを防止することができる。これにより、欠陥に起因する電荷のホールポケット25への蓄積による固定パターン雑音を抑制することができる。

【0060】さらに、n型のドレイン領域17a、17bに正の電圧を印加したときに、ドレイン電極22が素子分離絶縁膜14の近くに接続されているため、たとえ素子分離絶縁膜14の近傍の欠陥から電荷が放出されてもその電荷がホールポケット25の方に流れるのを抑制することができる。これにより、欠陥に起因する電荷のホールポケット25への蓄積による固定パターン雑音をより一層抑制することができる。

【0061】以上のように、この発明の実施の形態によれば、光信号検出用MOSトランジスタ112のソース領域に昇圧回路122を接続することにより、低い電源電圧でより確実にキャリアを掃き出すことができる。初期化期間及び蓄積期間において、素子分離絶縁膜14と素子分離領域13の界面で生じた欠陥に起因する電荷のホールポケット25への蓄積による固定パターン雑音を一層抑制することができる。

【0062】さらに、掃出動作(初期化)-蓄積動作-読出動作の一連の過程において、光発生ホールが移動するときに、半導体表面やチャネル領域内の雑音源と相互作用しない理想的な光電変換機構を実現することができる。また、キャリアポケット25への電荷蓄積により、図3に示すように、MOSトランジスタ112を飽和状態で動作させることができ、しかも、ソースフォロワ回路を形成しているため、光発生電荷による閾値電圧の変化をソース電位の変化として検出することができる。このため、線型性の良い光電変換を行うことができる。

【0063】以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。例えば、上記の実施の形態では、p型の基板11上のn型のエピタキシャル層12内に第1及び第2のウェル領域15a、15bを形成しているが、n型のエピタキシャル層12の代わりに、p型のエピタキシャル層にn型不純物を導入してn型ウェル層を形成し、このn型ウェル層内に第1及び第2のウェル領域1

(9)

15

5 a、15 bを形成してもよい。

【0064】さらに、この発明が適用される固体撮像素子の構造として種々の変形例が考えられるが、他の構造はどうであれ、受光ダイオードと光信号検出用のMOSトランジスタとが隣接して単位画素を構成し、かつMOSトランジスタのチャネル領域下のp型のウェル領域内であってソース領域の近傍に高濃度埋込層（キャリアポケット）が設けられていればよい。

【0065】さらに、p型の基板11を用いているが、代わりにn型の基板を用いてもよい。この場合、上記実施の形態と同様な効果を得るためには、上記実施の形態等で説明した各層及び各領域の導電性をすべて逆転させればよい。この場合、キャリアポケット25に蓄積すべきキャリアは電子及び正孔のうち電子である。

【0066】

【発明の効果】以上のように、本発明によれば、光信号検出用MOSトランジスタのソース領域に昇圧回路を接続し、読出期間の直後の初期化期間に昇圧電圧をソースに印加することにより、ゲート電極の電位を垂直走査信号駆動走査回路の電源電圧よりも高くすることができ

る。

【0067】これにより、低い電源電圧でより確実にキャリアを掃き出すことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る固体撮像装置に用いられる固体撮像素子の単位画素内の素子レイアウトを示す平面図である。

【図2】(a)は、本発明の実施の形態に係る固体撮像装置に用いられる固体撮像素子の単位画素内の素子の構造を示す、図1のA-A線に沿う断面図である。(b)は、光発生ホールがキャリアポケットに蓄積し、チャネル領域に電子が誘起されて反転領域が生じている状態のポテンシャルの様子を示す図である。

【図3】本発明の実施の形態に係る固体撮像装置に用いられる固体撮像素子の光信号検出用MOSトランジスタのドレイン電流－電圧特性を示すグラフである。

【図4】本発明の実施の形態に係る固体撮像装置の全体

16

の回路構成を示す図である。

【図5】本発明の実施の形態に係る固体撮像装置の駆動回路の詳細を示す回路図である。

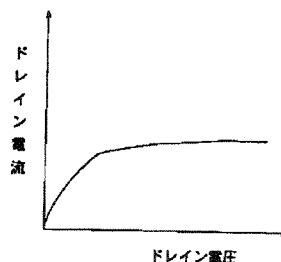
【図6】図5の駆動回路を動作させる際のタイミングチャートである。

【図7】図6のタイミングチャートのうち読出期間から初期化期間への切り換え時の動作を詳細に示すタイミングチャートである。

【符号の説明】

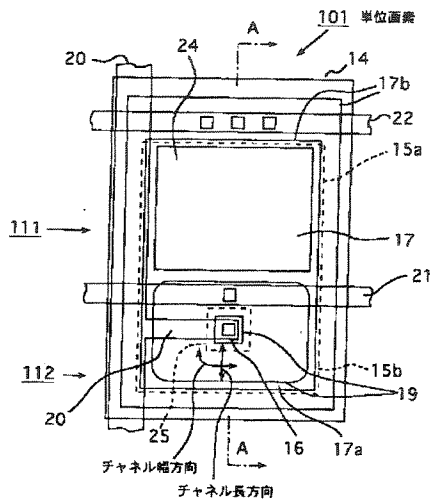
- 11 基板（第1の半導体層）
- 12 n型ウェル層（一導電型領域、第2の半導体層）
- 12a エピタキシャル層（一導電型領域、第2の半導体層）
- 13 素子分離領域
- 14 素子分離絶縁膜
- 15a 第1のウェル領域
- 15b 第2のウェル領域
- 15c チャネルドープ層
- 16a 低濃度のソース領域
- 16b 高濃度のソース領域（コンタクト層）
- 17 不純物領域
- 17a 低濃度のドレイン領域
- 17b 高濃度のドレイン領域（コンタクト層）
- 18 ゲート絶縁膜
- 19 ゲート電極
- 25 キャリアポケット（高濃度埋込層）
- 30a、30b 昇圧電圧供給線
- 101 単位画素
- 106 定電流源（負荷回路）
- 107 映像信号出力端子
- 108 昇圧走査回路
- 111 受光ダイオード
- 112 光信号検出用絶縁ゲート型電界効果トランジスタ（光信号検出用MOSトランジスタ）
- 121 クロック発生回路
- 122 昇圧回路
- 123 プリチャージ回路

【図3】

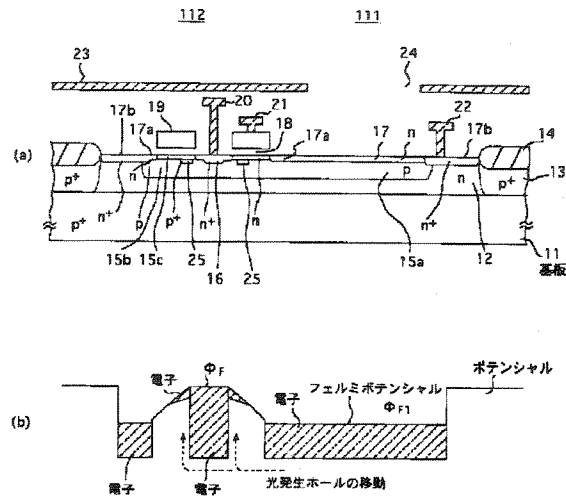


(10)

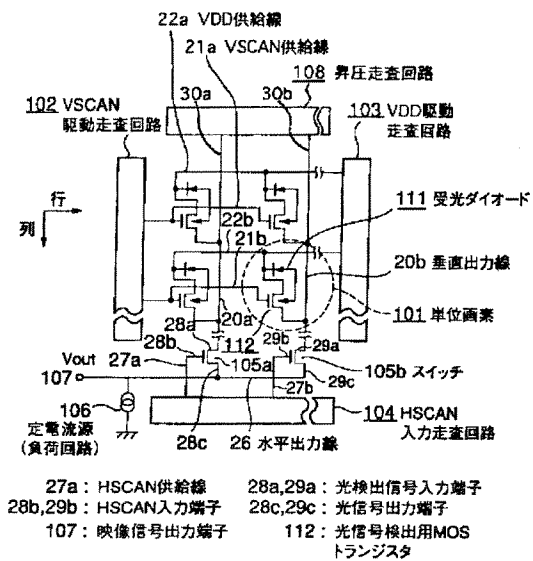
【圖 1】



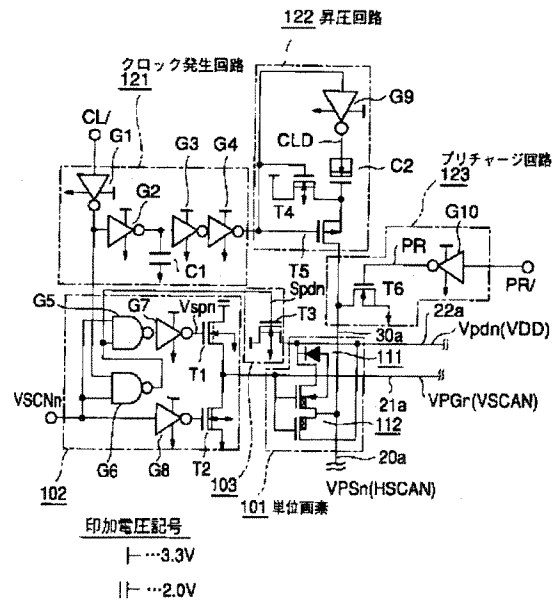
【图 2】



【図 4】

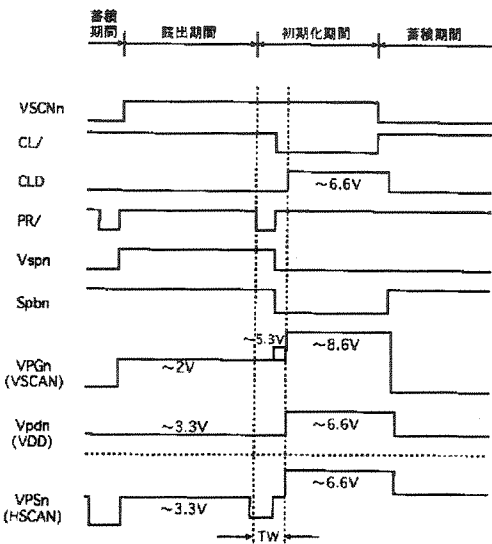


【図 5】



(11)

【図6】



【図7】

